

1과목 : 반도체공학

1. PN 접합의 전압-전류 특성에 대한 설명으로 옳은 것은?

- ① 금지대 폭이 큰 반도체일수록 항복 전압이 낮다.
- ② 포화전류가 흐르도록 하는 바이어스 방향은 순방향 바이어스이다.
- ③ N 영역이 음(-)이 되도록 외부 전압을 인가하면 포화전류가 흐른다.
- ④ 역방향 전압을 점점 증가시켜 가면 어느 임계전압에서 전류가 급증하게 되는데 이 현상을 항복 현상이라고 한다.

2. PNP 트랜지스터가 활성영역에서 동작하는 경우는?

- ① 컬렉터-베이스, 이미터-베이스 접합이 모두 순방향 바이어스 상태
- ② 컬렉터-베이스, 이미터-베이스 접합이 모두 역방향 바이어스 상태
- ③ 컬렉터-베이스 접합이 역방향 바이어스, 이미터- 베이스 접합이 순방향 바이어스 상태
- ④ 컬렉터-베이스 접합이 역방향 바이어스, 이미터- 베이스 접합이 역방향 바이어스 상태

3. 과대전류에 대한 보호용으로 사용되는 다이오드는?

- ① 제너다이오드 ② 터널다이오드
- ③ 리드다이오드 ④ 본드형다이오드

4. 반도체에서 전자가 원자의 속박으로부터 벗어나 전계에 의해 자유롭게 움직일 수 있는 에너지대는?

- ① 기전자대 ② 충만대
- ③ 금지대 ④ 전도대

5. MOSFET의 설명으로 거리가 먼 것은?

- ① 전력소모가 많은 트랜지스터이다.
- ② V_{DS} 을 증가시키면 채널의 폭이 두꺼워져 드레인 I_D 가 증가한다.
- ③ 드레인-소스간에 역방향 전압 V_{DS} 을 공급하면 드레인 전류 I_D 가 흐른다.
- ④ 게이트-소스간에 순방향 전압 V_{GS} 을 공급하면 드레인과 소스 사이에 채널이 형성된다.

6. 다음 중 Si의 기본 격자구조로 옳바른 것은?

- ① 단순입방형 구조 ② 다이아몬드형 격자 구조
- ③ 세심입방형 구조 ④ 원추입방형 구조

7. NPN 바이폴라 트랜지스터의 3가지 영역을 분순물의 도핑농도 크기가 큰 순서대로 나열한 것은?

- ① 이미터 > 베이스 > 컬렉터 ② 이미터 > 컬렉터 > 베이스
- ③ 컬렉터 > 이미터 > 베이스 ④ 컬렉터 > 베이스 > 이미터

8. 다음 중 n형 반도체를 만드는 불순물(Donor)이 아닌 것은?

- ① 안티몬(Sb) ② 비소(As)
- ③ 인(P) ④ 붕소(B)

9. PN 접합에서 공간전하용량에 영향을 주지 않는 것은?

- ① 접합 면적의 크기 ② 역포화 전류의 크기
- ③ 역방향 전압의 크기 ④ 공간전하 영역의 폭

10. 다음 중 자유전자와 정공을 갖는 반도체에 전계를 가할 때 이들이 움직이는 방향으로 옳은 것은?

- ① 전자 및 정공이 다같이 (+)전극 쪽으로 움직인다.
- ② 전자는 (-)전극 쪽으로 정공은 (+)전극 쪽으로 움직인다.
- ③ 전자 및 정공이 다같이 (-)전극 쪽으로 움직인다.
- ④ 전자는 (+)전극 쪽으로, 정공은 (-)전극 쪽으로 움직인다.

11. 진성 반도체의 페르미(Fermi) 준위 위치는?

- ① 금지대의 상단에 위치 ② 금지대의 중앙에 위치
- ③ 금지대의 하단에 위치 ④ 온도에 따라 위치가 변화

12. 단결정의 제조방법으로 수소환원법, 열분해법, 불균등화 반응법, 진공열착법 등을 이용하는 것은?

- ① 인상법(Pulling Method)
- ② 존레벨링법(Zone leveling method)
- ③ 다이아몬드 구조법(Diamond structure Method)
- ④ 플로팅존법(Floating Zone Method)

13. PN 접합에 대한 설명으로 옳은 것은?

- ① P형과 N형의 반도체가 같은 물질로 된 것을 헤테로(hetero) 접합이라고 한다.
- ② 성장 접합법에서는 접합의 진행과정을 적당히 조절하면 P형에서 갑자기 N형으로 변환하는 계단형 접합을 구현할 수 있다.
- ③ 일반적으로 Si 반도체 웨이퍼의 제조는 성장 접합법을 이용하며, 웨이퍼 위에 소자를 만들 때에는 확산접합법을 이용한다.
- ④ 합금 접합법에서는 용융된 실리콘 표면에 종자 결정을 접촉시킨 후 서서히 인상하면서 종자 결정과 같은 구조로 성장시켜 단결정을 얻는 과정에서 P형 및 N형 불순물을 차례로 넣어주어 PN 접합을 만든다.

14. 단순입방의 구조를 갖는 반도체 재료에서 1개의 단위 셀당 포함되는 원자의 개수는?

- ① 1 ② 2
- ③ 3 ④ 4

15. 트랜지스터의 최대 정격에 대한 설명으로 옳은 것은?

- ① 소자가 그 화학적 구조와 전기적 특성에 제한되는 범위 내에서 동작할 수 있는 최대 범위
- ② 소자가 그 물리적 구조와 전기적 특성에 제한되는 범위 내에서 동작할 수 있는 최대 범위
- ③ 소자가 그 화학적 구조와 전기적 특성에 제한되지 않는 범위 내에서 동작할 수 있는 최대 범위
- ④ 소자가 그 물리적 구조와 기계적 특성에 제한되지 않는 범위 내에서 동작할 수 있는 최대 범위

16. 반도체의 에너지 대역에서 금지대에 대한 설명으로 옳은 것은?

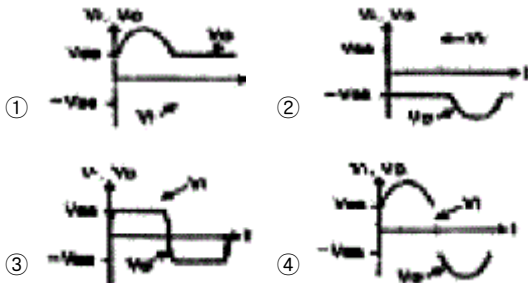
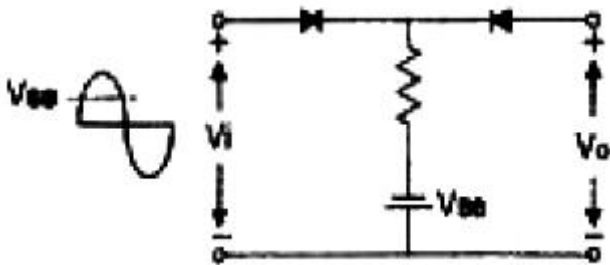
- ① 전도대 위에 있다.
- ② 가전자대와 전도대 사이에 있다.
- ③ 가전자대 바로 밑에 있다.
- ④ 가전자대를 금지대로 부르기로 한다.

17. 접합전계효과트랜지스터(JFET)에서 판치오프(Pinch-off) 전압이란?

- ① JFET 에벌런치 전압
 ② 드레인-소스 사이의 전압
 ③ 채널 폭에 막힐 때의 게이트 역방향 전압
 ④ 채널 폭이 최대로 되는 게이트 역방향 전압
18. n 채널 pn접합 전계효과 트랜지스터의 전압-전류 특성에 대한 설명으로 옳지 않은 것은?
 ① 게이트에 0볼트를 인가하였을 때, 낮은 V_{DS} 에 대하여 I_D 대 V_D 특성은 거의 선형적이다.
 ② 몸의 전압을 게이트에 인가하면 공간 전하 영역은 좁아진다.
 ③ 게이트에 전압을 인가하지 않아도 전류를 흘릴 수 있는 공핍(depletion) 소자이다.
 ④ 드레인 전압을 너무 증가시키면 드레인 영역에서 핀치오프(pinch off)가 발생한다.
19. PN 접합에서 전류가 “0” 일 때의 설명으로 가장 적합한 것은?
 ① 접합면을 지나는 다수 캐리어(Carrier)가 없다.
 ② 접합면을 지나는 소수 캐리어(Carrier)가 없다.
 ③ 접합면을 지나는 다수 캐리어(Carrier)와 소수 캐리어가 같다.
 ④ 접합면을 지나는 캐리어(Carrier)의 농도가 적다.
20. PN 접합에서 외부의 전계가 없는데도 전위장벽이 발생하는 이유는?
 ① 확산작용 ② 분리작용
 ③ 항복작용 ④ 제너현상

2과목 : 전자회로

21. 다음 회로의 파형으로 맞는 것은?



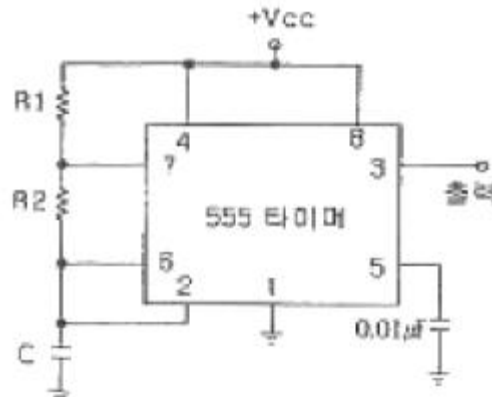
22. 직류 증폭기에서 온도 변화 등의 영향으로 인하여 출력이 변동되는 현상은?
 ① 팔진 ② 초퍼
 ③ 증폭 ④ 드리프트

23. 저주파 전력증폭기의 출력측 기본파 전압이 50[V]이고, 제2

및 제3고조파 전압이 각각 4[V]와 3[V]일 때 왜율은?

- ① 5[%] ② 10[%]
 ③ 15[%] ④ 20[%]

24. 다음 중 수정발진기의 특징에 대한 설명으로 적합하지 않은 것은?
 ① 수정진동자의 Q가 매우 높다.
 ② 주파수의 안정도가 아주 좋다.
 ③ 발진조건을 만족하는 리액턴스의 유도성이 되는 주파수 범위가 매우 넓다.
 ④ 발진주파수를 가변하기가 어려운 단점이 있다.
25. 디지털 변조가 아닌 것은?
 ① PM ② ASK
 ③ FSK ④ QAM
26. 베이스 점지(C3) 증폭회로에 대한 설명으로 적합하지 않은 것은?
 ① 입력임피던스가 낮다.
 ② 전류이득은 1보다 훨씬 크다.
 ③ 입력에 대한 출력은 통상이다.
 ④ 높은 주파수를 다루는 응용분야에 주로 사용된다.
27. 다음 그림의 회로는 비안정 멀티바이브레이터(Astable multi vibrator)이다. 발진주파수에 대한 식으로 옳은 것은?



$$\textcircled{1} \quad f = \frac{1.44}{(R_1 + 2R_2)C} \quad \textcircled{2} \quad f = \frac{1.44}{(2R_1 + R_2)C}$$

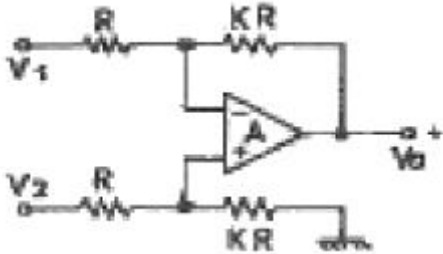
$$\textcircled{3} \quad f = \frac{1.44}{(R_1 + R_2)C} \quad \textcircled{4} \quad f = \frac{1.44}{(R_1 \cdot R_2)C}$$

28. 진폭 변조(AM)에서 반송파 진폭이 20[V] 이다. 25[V]의 진폭을 가지는 신호파를 인가한 경우 변조도는?
 ① 0.65 ② 0.8
 ③ 1.0 ④ 1.25
29. 어떤 TR이 $V_{DE} = 5[V]$ 로 동작 된다. 이 TR의 최대 정격 전력이 250[mA]이라면 견딜 수 있는 최대 컬렉터 전류는 약 몇 [mA] 인가?
 ① 20[mA] ② 42[mA]
 ③ 51[mA] ④ 64[mA]

30. AM에서 1000[kHz]의 반송파가 35[kHz] 사인파에 의해 변조될 때 상측파대 주파수는?

- ① 1000[kHz] ② 1035[kHz]
③ 1070[kHz] ④ 1124[kHz]

31. 다음의 연산증폭기회로에서 출력 전압 V_o 는?



- ① $V_o = K(V_2 - V_1)$ ② $V_o = KV_2 - (K-1)V_1$
③ $V_o = (K+1)V_2 - KV_1$ ④ $V_o = (K+1)(V_2 - V_1)$

32. RC 결합 증폭기에서 주파수 대역폭을 1/4로 줄이면 증폭이득은 약 얼마나 증가하는가?

- ① 8[dB] ② 10[dB]
③ 12[dB] ④ 14[dB]

33. 다음 중 연산증폭기에 관한 설명으로 옳은 것은?

- ① 입력단자는 반전 입력(+)과 비반전 입력(-) 두 개가 있다.
② 이상적인 연산증폭기의 주파수 대역폭은 매우 좁아 주파수의 선택도가 매우 뛰어나다.
③ 이상적인 연산증폭기의 출력임피던스는 무한대의 값을 갖기 때문에 버퍼회로에 이용된다.
④ 연산증폭기는 선형 집적회로로 동작 전압이 낮고 신뢰도가 매우 높다.

34. 푸시풀(push-pull) 증폭기의 설명으로 옳은 것은?

- ① B급이나 AB급으로 동작시킨다.
② 두 입력의 위상은 동상이어야 한다.
③ 공급 전압에 리플이 포함되어 있으면 부하에 나타난다.
④ 트랜지스터의 비선형 특성에서 오는 일그러짐이 증가한다.

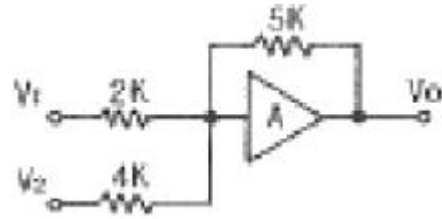
35. 무제한 시 전압이득이 100인 증폭기에서 게환률 0.09의 무제한을 걸었을 때 전압이득은?

- ① 1 ② 9
③ 10 ④ 50

36. 다음 부계환 회로의 특징 중 옳은 것은?

- ① 게환시 이득이 감소한다.
② 주파수 대역폭이 좁아진다.
③ 게환시 왜율이 증가한다.
④ 게환시 잡음이 증가한다.

37. 다음 그림은 반전연산증폭기회로이다. 일 때 $V_1=3[V]$, $V_2=4[V]$ 일 때 V_o 는 몇 [V] 인가?



- ① -12.5 ② -13.75
③ -14.2 ④ -15.25

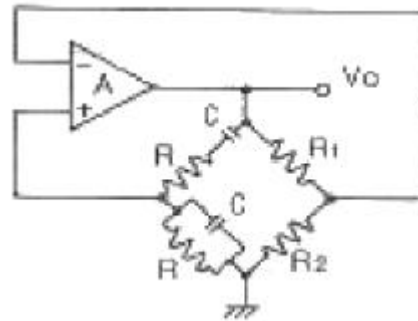
38. 다음의 접합형 FET 회로에서 드레인 전류 $I_D=4[nA]$ 일 때 드레인과 소스 전압 V_{DS} 는 몇 [V] 인가?

- ① 1[V] ② 2[V]
③ 3[V] ④ 4[V]

39. 연산증폭기 응용회로에서 게환을 사용하지 않는 것은?

- ① 반전 증폭기 ② 비반전 증폭기
③ 명전위 검출기 ④ 사이트 트리거

40. 다음과 같이 발진회로의 발진주파수는?



- ① $\frac{1}{2\pi\sqrt{R_1C}}$ ② $\frac{1}{2\pi\sqrt{RC}}$
③ $1/2\pi R_1 R_2 C$ ④ $1/2\pi RC$

3과목 : 논리회로

41. BCD(B421) 코드는 몇 개의 2진 비트를 사용하는가?

- ① 6개 비트 ② 5개 비트
③ 4개 비트 ④ 3개 비트

42. 일반적으로 미사용 상태가 발생하더라도 문제없이 정상적인 카운트 루프로 복귀하는 카운터를 사용하는 것이 안전하다. 이와 같이 미사용 상태에서 정상의 카운트 루프로 복귀하지 않는 상태를 무엇이라 하는가?

- ① glitch ② lockout
③ drop ④ jitter

43. 10진수 5에 대한 3-초과 코드로 옳은 것은?

- ① 0101 ② 1100
③ 1000 ④ 1001

44. TTL IC에서 논리 0과 논리 1의 전압범위로 가장 옳은 것은?

- ① 논리 0 = 0~1.5V, 논리 1 = 3.5~7V

- ② 논리 D = 0~1.0V, 논리 1 = 5~10V
 ③ 논리 D = 0~0.8V, 논리 1 = 2~5V
 ④ 논리 D = 5~10V, 논리 1 = 0~5V

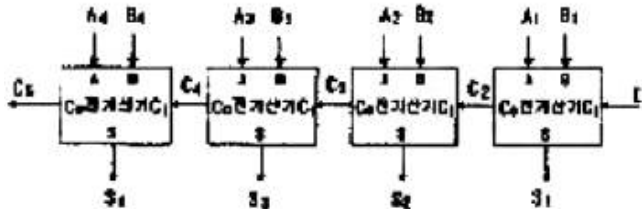
45. 시간 폭이 매우 좁은 트리거 펄스 열이 입력단에 가해진 다면, 이 펄스가 나타나는 순간마다 출력 상태가 바뀌는 플립플롭은?

- ① JK 플립플롭 ② T 플립플롭
 ③ RS 플립플롭 ④ D 플립플롭

46. 불 함수 $F = A + \overline{B}C$ 를 최소항의 합으로 바르게 표시한 것은?

- ① $F(A, B, C) = \Sigma(1, 4, 5, 6, 7)$
 ② $F(A, B, C) = \Sigma(1, 2, 3, 6, 7)$
 ③ $F(A, B, C) = \Sigma(1, 3, 5, 6, 7)$
 ④ $F(A, B, C) = \Sigma(1, 2, 4, 6, 7)$

47. 다음 그림의 회로 명칭으로 옳은 것은?



- ① 2비트 직렬가산기 ② 2비트 병렬가산기
 ③ 4비트 직렬가산기 ④ 4비트 병렬가산기

48. $A + \overline{A}B$ 의 논리 방정식을 가장 간단히 표시한 것은?

- ① $A + B$ ② AB
 ③ $\overline{A} + B$ ④ $A\overline{B}$

49. 2진코드 1111을 그레이(Gray) 코드로 변환하면?

- ① 1111 ② 1000
 ③ 0000 ④ 1001

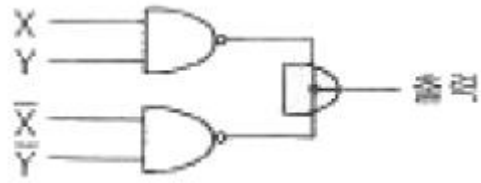
50. 기억용량 단위인 4 니블(nibble)은 몇 바이트(byte)인가?

- ① 1 ② 2
 ③ 3 ④ 4

51. 다음 불 대수(Boolean Algebra) 중 옳지 않은 것은?

- ① $A + A \cdot B = A$
 ② $A \cdot (A + B) = B$
 ③ $A + \overline{A} \cdot B = A + B$
 ④ $A \cdot (\overline{A} + B) = A \cdot B$

52. 다음 회로를 논리식으로 표현하면?



- ① $X\overline{Y} + \overline{X}Y$ ② $X + Y$
 ③ $\overline{X} \cdot \overline{Y} + X \cdot Y$ ④ $\overline{X \cdot Y} + X \cdot Y$

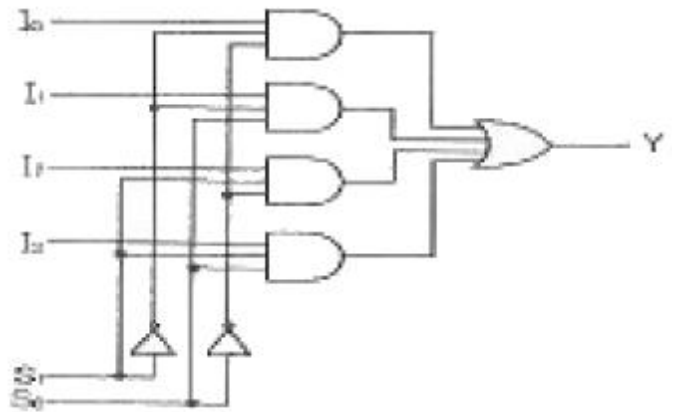
53. 드모르간(De Morgan)의 정리에 속하는 것은?

- ① $A(A+B)=A$
 ② $A \cdot B=B \cdot A$
 ③ $\overline{ABC} = \overline{A} + \overline{B} + \overline{C}$
 ④ $A-(B \cdot C)=(A+B) \cdot (A+C)$

54. 동기식 계수기의 특징과 가장 거리가 먼 것은?

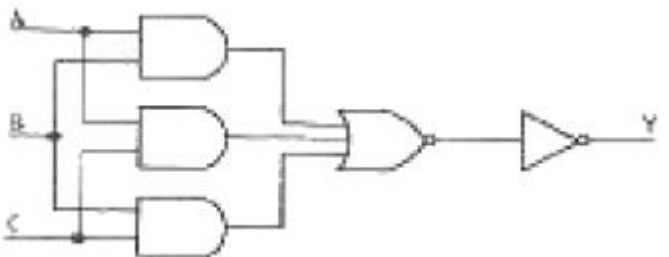
- ① 회로가 복잡하다.
 ② 동작 속도가 저속이다.
 ③ 시간지연(time delay)이 발생하지 않는다.
 ④ 클럭 펄스를 공동(병렬)으로 사용한다.

55. 다음 논리도의 기능은?



- ① 4-to-1 라인 멀티플렉서 ② 4-to-1 디코더
 ③ 4-to-1 크기 비교기 ④ 4-to-1 인코더

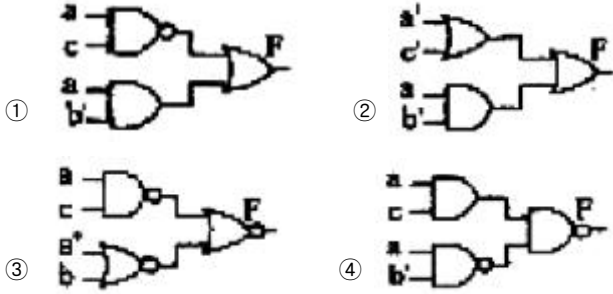
56. 다음 회로 동작을 설명한 것 중 옳은 것은?



- ① 다수결 회로로 동작한다.
 ② Multiplexer 회로로 동작한다.
 ③ Encoder 회로로 동작한다.

④ A=1, B=1, C=0 일 경우 출력 Y=0 이 된다.

57. $F = (ac)' + ab'$ 의 회로로 잘못 설계된 것은?



58. 동기식 모듈로-6 카운터(MOG-6)를 구성하는데 최소 몇 개의 플립플롭이 필요한가?

- ① 2 ② 3
③ 4 ④ 5

59. RS 플립플롭에 대한 설명으로 옳은 것은?

- ① 입력신호가 모두 0일 때는 이전상태의 반전
② 입력신호가 모두 0일 때는 이전상태의 유지
③ 입력신호가 모두 1일 때는 이전상태의 반전
④ 입력신호가 모두 1일 때는 Reset

60. JK 플립플롭에서 J=1, K=1 일 때, 출력(Q)의 값은?

- ① 0 ② 1
③ 불변 ④ 반전

4과목 : 집적회로 설계이론

61. 미리 설계해 놓은 여러 소재들의 데이터(레이아웃데이터)를 모아 놓은 일종의 데이터베이스를 무엇이라고 하는가?

- ① 셀 라이브러리 ② 패키지
③ 서브 프로그램 ④ 고정 배선

62. MOS 구조의 전계효과 중 게이트 전압 V_g 가 크게 증가하면 전계의 증가에 의해 산화층과 실리콘의 경계면에 소수 캐리어인 전자가 모이는 현상은?

- ① 공핍 모드(Depletion mode)
② 반전 모드(Inversion mode)
③ 축적 모드(Accumulation mode)
④ 바디 바이어스 효과(Body bias effect)

63. CMOS 제조 과정에서는 nMOS와 pMOS 트랜지스터를 만들 때 생기는 n 층과 p 층간의 결함(n-p-n-p 또는 p-n-p-n)에 의해 기생 트랜지스터가 구성되는데, 이 기생 트랜지스터가 결함되어 V_{ds} 와 V_{ss} 사이에서 전류 통로가 형성되는 현상을 무엇이라고 하는가?

- ① 단락(Short) ② 래치업(Latch-up)
③ 상호연결 기생요소 ④ ESD(Electrostatic Discharge)

64. 다음 중 Integrated Circuit(IC)에 포함시키기가 어려운 소자는?

- ① 트랜지스터(Transistor) ② 다이오드(Diode)
③ 코일(Coil) ④ 저항(Resistor)

65. CMOS 인버터(Inverter) DC 특성 곡선에서 최대 전류가 흐르는 NMOS와 PMOS의 동작 영역은?

- ① NMOS와 PMOS 모두 선형 영역
② NMOS는 포화 영역, PMOS는 선형 영역
③ NMOS와 PMOS 모두 포화 영역
④ NMOS는 선형 영역, PMOS는 포화 영역

66. 집적회로 구현을 위한 웨이퍼 제조 공정에 해당하지 않는 것은?

- ① 현상 공정 ② 확산 공정
③ 박막 공정 ④ 칩 테스트 공정

67. 다음 모노리틱(Monolithic) IC의 제조과정 중 제일 마지막에 수행하는 공정은?

- ① 에피택셜(Epitaxial) 성장 ② 산화막(Oxide) 생성
③ 알루미늄 증착 ④ 불순물 확산

68. 전달게이트(transmission gate)에 대한 설명으로 틀린 것은?

- ① 스위치로 사용하기 위하여 NMOS와 PMOS를 병렬로 연결한 것이다.
② 두 개의 MOS 중 하나가 고장일 경우에도 동작을 한다.
③ 실리콘 사용 면적이 감소하여 회로가 단순화 된다.
④ ON 상태에서 NMOS와 PMOS가 모두 도통이 되므로 패스트랜지스터보다 ON 상태의 저항이 적다.

69. 다음 중 직접회로설계의 전반부(front-end) 설계에 해당하지 않는 것은?

- ① 레이아웃 설계(layout design)
② 논리회로 설계(logic design)
③ 구조수준 설계(structural-level design)
④ 행위수준 설계(behavioral-level design)

70. 시스템의 행동을 기술하기 위한 하드웨어 기술 언어에 속하는 것은?

- ① C-LANGUAGE ② VERILOG
③ PASCAL ④ COBOL

71. VLSI 레이아웃 설계 후 레이아웃 도면으로부터 추출한 저항 및 커패시턴스 값을 반영하여 논리 시뮬레이션을 다시 실시하는 과정을 일컫는 것은?

- ① floor planning ② back annotation
③ logic synthesis ④ self-alignment

72. 동적 CMOS 로직과 거의 같으나, 출력단에 인버팅레치가 달려있는 점이 다른 로직은?

- ① 도미노 로직 ② 카미노 로직
③ 슈도 로직 ④ 트랜스 로직

73. 다음 중 문턱전압(threshold voltage)에 대한 설명으로 옳은 것은?

- ① 전류가 포화상태일 때의 드레인 전압
② 채널이 사라지기 시작하는 게이트 전압
③ 전류가 포화상태로 진입하는 게이트 전압
④ 드레인 전류가 흐를 수 있도록 채널이 형성되는 시점의 게이트 전압

74. MOSFET에서 $K \times M/L$ 는 무엇을 정의하는 식인가? (단, K:공정 전달 전도도, W:트랜지스터 채널폭, L:트랜지스터 길이)
- ① 소자 전달 전도도 ② 캐리어 이동도
③ 게이트 유전막 ④ 유효채널
75. 게이트 전압(V_g)이 기판 전압(V_s)보다 낮은 전위를 갖는 경우, MOS 구조의 동작 모드는?
- ① 반전 모드(Inversion Mode)
② 공정 모드(Depletion Mode)
③ 증가 모드(Enhancement Mode)
④ 축적 모드(Accumulation Mode)
76. 다음 중 직접회로 공정에서 불순물을 첨가하는 방법이 아닌 것은?
- ① 확산 ② 이온 주입
③ 성장 ④ 산화
77. 두 pMOS를 병렬 연결하여 반드시 한 게이트 입력에 "0"을 입력할 경우 형성되는 전도 패스의 기능을 불 함수로 옳게 표현한 것은?
- ① $a \cdot b$ ② $a+b$
③ $\overline{a \cdot b}$ ④ $\overline{a+b}$
78. 게이트 어레이 방식 설계에 대한 설명으로 옳지 않은 것은?
- ① 웨이퍼를 절삭할 수 있다.
② 칩 제조 공정의 시간이 절약된다.
③ 회로 설계의 유연성이 증가한다.
④ 표준 셀 방식보다 칩의 크기가 작다.
79. 실제로 클럭 신호는 MOS의 저항 및 용량 특성에 따라서 전달 과정에서 지연 효과를 갖게 되어 클럭의 시간차가 생긴다. 이와 같은 현상을 무엇이라고 하는가?
- ① 글리치(glitch) ② 해저드(hazard)
③ 경합(race) ④ 스큐(skew)
80. MOS 트랜지스터에서 게이트 출력이 '1' 또는 '0'레벨에 있을 경우 DC 전력을 거의 소모하지 않는 디바이스는?
- ① n-MOS ② p-MOS
③ I-MOS ④ CMOS

전자문제집 CBT PC 버전 : www.comcbt.com전자문제집 CBT 모바일 버전 : m.comcbt.com기출문제 및 해설집 다운로드 : www.comcbt.com/xs

전자문제집 CBT란?

종이 문제집이 아닌 인터넷으로 문제를 풀고 자동으로 채점하며 모의고사, 오답 노트, 해설까지 제공하는 무료 기출문제 학습 프로그램으로 실제 시험에서 사용하는 OMR 형식의 CBT를 제공합니다.

PC 버전 및 모바일 버전 완벽 연동

교사용/학생용 관리기능도 제공합니다.

오답 및 오탈자가 수정된 최신 자료와 해설은 전자문제집 CBT에서 확인하세요.

1	2	3	4	5	6	7	8	9	10
④	③	①	④	①	②	①	④	②	④
11	12	13	14	15	16	17	18	19	20
②	④	③	①	②	②	③	②	③	①
21	22	23	24	25	26	27	28	29	30
③	④	②	③	①	②	①	④	②	②
31	32	33	34	35	36	37	38	39	40
①	③	④	①	③	①	①	②	③	④
41	42	43	44	45	46	47	48	49	50
③	②	③	③	②	①	④	①	②	②
51	52	53	54	55	56	57	58	59	60
②	①	③	②	①	①	③	②	②	④
61	62	63	64	65	66	67	68	69	70
①	②	②	③	③	④	③	③	①	②
71	72	73	74	75	76	77	78	79	80
②	①	④	①	④	④	③	④	④	④